

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3107941号

(P 3 1 0 7 9 4 1)

(45) 発行日 平成12年11月13日 (2000. 11. 13)

(24) 登録日 平成12年 9 月 8 日 (2000. 9. 8)

(51) Int. Cl. ⁷

識別記号

F I

H01L 29/786

H01L 29/78

627

G

21/20

21/20

21/265

29/78

621

21/336

21/265

P

21/762

21/76

D

請求項の数 8 (全 6 頁)

(21) 出願番号 特願平5-71105

(22) 出願日 平成 5 年 3 月 5 日 (1993. 3. 5)

(65) 公開番号 特開平6-260651

(43) 公開日 平成 6 年 9 月 16 日 (1994. 9. 16)

審査請求日 平成10年 2 月 26 日 (1998. 2. 26)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(74) 代理人 100095061

弁理士 加藤 恭介

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよびその作製方法

1

(57) 【特許請求の範囲】

【請求項 1】 基板上に、結晶性を有する領域と、結晶性を有さない領域とを有する半導体膜と、前記半導体膜を覆って設けられたゲイト絶縁膜と、前記ゲイト絶縁膜上に、前記結晶性を有する領域を横断して設けられたゲイト電極とを有し、前記結晶性を有する領域には、結晶化を促進する元素が 0. 005 原子% 以上存在し、かつ前記結晶化を促進する元素が 1 原子% を越えないことを特徴とする薄膜トランジスタ。

【請求項 2】 基板上に、結晶化された領域と、結晶化されていない領域とを有する半導体膜と、前記半導体膜を覆って設けられたゲイト絶縁膜と、前記ゲイト絶縁膜上に、前記結晶化された領域を横断して設けられたゲイト電極とを有し、

2

前記結晶化された領域には、結晶化を促進する元素が 0. 005 原子% 以上存在し、かつ前記結晶化を促進する元素が 1 原子% を越えないことを特徴とする薄膜トランジスタ。

【請求項 3】 請求項 1 又は請求項 2 において、前記結晶化を促進する元素は、ニッケル、鉄、コバルト又は白金であることを特徴とする薄膜トランジスタ。

【請求項 4】 基板上に、アモルファスシリコン膜を形成し、

10 前記アモルファスシリコン膜の上又は下に、結晶化を促進する元素を含有する材料を選択的に形成し、前記アモルファスシリコン膜をアモルファスシリコンが結晶化しない温度でアニールして、前記アモルファスシリコン膜を選択的に結晶化し、結晶化したシリコン膜上にゲイト絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項 5】 基板上に、アモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の上又は下に、結晶化を促進する元素を含有する材料を選択的に形成し、

前記アモルファスシリコン膜をアモルファスシリコンが結晶化しない温度でアニールして、前記アモルファスシリコン膜を選択的に結晶化し、

前記結晶化したシリコン膜に選択的に N 型又は P 型の導電型を付与する不純物を注入し、前記 N 型又は P 型の導電型を付与する不純物を注入した後、前記シリコン膜をアモルファスシリコンが結晶化しない温度でアニールすることを特徴とする薄膜トランジスタの作製方法。

【請求項 6】 基板上に、アモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の上又は下に、結晶化を促進する元素を含有する材料を選択的に形成し、

前記アモルファスシリコン膜をアモルファスシリコンが結晶化しない温度でアニールして、前記アモルファスシリコン膜を選択的に結晶化し、

前記結晶化されたシリコン膜に選択的に N 型又は P 型の導電型を付与する不純物を注入し、

前記不純物を注入した領域にレーザー又は強光を照射することを特徴とする薄膜トランジスタの作製方法。

【請求項 7】 請求項 4 乃至 6 のいずれか一において、前記結晶化を促進する元素は、ニッケル、鉄、コバルト又は白金であることを特徴とする薄膜トランジスタの作製方法。

【請求項 8】 請求項 4 乃至 7 のいずれか一において、前記アモルファスシリコン膜を選択的に結晶化する際に、前記結晶化を促進する元素を前記アモルファスシリコン膜内に拡散させて、前記アモルファスシリコン膜を選択的に結晶化することを特徴とする薄膜トランジスタの作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタ（TFT）の構造および作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。

【0002】

【従来の技術】従来、薄膜トランジスタは、薄膜半導体領域（活性層）を島状にパターニングして、形成した後、ゲート絶縁膜として、CVD 法やスパッタ法によって絶縁被膜を形成し、その上にゲート電極を形成した。

【0003】

【発明が解決しようする課題】CVD 法やスパッタ法で形成される絶縁被膜はステップカバレッジ（段差被覆

性）が悪く、信頼性や歩留り、特性に悪影響を及ぼしていた。図 4 には従来の典型的な TFT を上から見た図、およびその図面の A-A'、B-B' に沿った断面図を示す。TFT は基板 51 上に形成され、薄膜半導体領域は不純物領域（ソース、ドレイン領域、ここでは N 型の導電型を示す）53 とゲート電極 57 の下に位置し、実質的に真性のチャネル形成領域 52 に分けられ、この半導体領域を覆って、ゲート絶縁膜 55 が設けられる。不純物領域 53 には、層間絶縁物 59 を通してコンタクトホールが開けられ、電極・配線 58 が設けられる。

【0004】図から分かるように、ゲート絶縁膜 55 の半導体領域の端部における被覆性は、著しく悪く、典型的には平坦部の厚さの半分しか厚みが存在しない。一般に、島状半導体領域が厚い場合には甚だしい。特に、ゲート電極に沿った A-A' 断面からこのような被覆性の悪化が TFT の特性、信頼性、歩留りに及ぼす悪影響が分かる。すなわち、図 4 の A-A' 断面図において点線円で示した領域 56 に注目してみれば、ゲート電極 57 の電界が薄膜半導体領域の端部に集中的に印加される。すなわち、この部分ではゲート絶縁膜の厚さが平坦部の半分であるので、その電界強度は約 2 倍になるためである。

【0005】この結果、この領域 56 のゲート絶縁膜は長時間のあるいは高い電圧印加によって容易に破壊される。ゲート電極に印加される信号が正であれば、この領域 56 の半導体も N 型であるので、ゲート電極 57 と不純物領域 53（特に、ドレイン領域）が導通してしまい、信頼性の劣化の原因となる。

【0006】また、ゲート絶縁膜が破壊された際には、何らかの電荷がトラップされることが起こり、例えば、負の電荷がトラップされれば、ゲート電極に印加される電圧にほとんど関わりなく、領域 56 の半導体は N 型を呈し、2 つの不純物領域 53 が導通することとなり、特性を劣化させる。また、以上のような劣化を引き起こさずに TFT を使用するには、半分の電圧しか印加できず、性能を十分に利用することができない。

【0007】また、TFT の一部にこのような弱い部分が存在するということは製造工程における帯電等によって容易に TFT が破壊されることであり、歩留り低下の大きな要因となる。本発明はこのような問題を解決することを課題とする。

【0008】

【課題を解決するための手段】本発明では、従来、TFT が島状の半導体を用い、空間的に他の TFT と絶縁される構造を有していたのに対し、平面上の半導体薄膜を用い、半導体薄膜中の結晶性の違いによる電気特性によって、TFT 間の絶縁を保つことを特徴とする。本発明の典型的な構造を図 1 に示す。図 1 も図 4 と同様に TFT を上から見た図面と、その A-A'、B-B' 断面の断面図を示している。TFT は基板 11 上に形成される

が、TFT以外の部分にまで薄膜半導体14が存在していることが特徴である。すなわち、本発明では、実質的にアモルファスの薄膜半導体領域14とドーピング不純物を有する不純物領域13、およびゲイト電極17の下に位置し、実質的に真性のチャネル形成領域12が同じ面内に存在し、この薄膜半導体領域を覆って、ゲイト絶縁膜15が設けられる。もちろん、同じ面内に存在するが、それぞれの半導体領域の結晶性、導電型は異なる。さらに不純物領域13には、層間絶縁物19を通してコンタクトホールが開けられ、電極・配線18が設けられる。薄膜トランジスタは、基板上に、結晶性を有する半導体領域と、結晶性を有しない半導体領域とを有する薄膜半導体と、前記薄膜半導体を覆って設けられたゲイト絶縁膜と、前記ゲイト絶縁膜上に設けられ、前記結晶性を有する半導体領域を横断するゲイト電極とを有することを特徴とする。前記薄膜トランジスタは、結晶性を有する半導体領域に、ニッケル、鉄、コバルト、白金のうち少なくとも1つの濃度が0.005原子%以上存在し、かつ、これらの合計の濃度が1%を越えないことを特徴とする。薄膜トランジスタの作製方法は、基板上に、実質的にアモルファスの半導体被膜を形成する工程と、前記半導体被膜上および／または下に密着して、ニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体を選択的に形成する工程と、その後、前記半導体被膜を通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールする工程と、前記半導体被膜上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上にゲイト電極を形成する工程と、を有することを特徴とする。薄膜トランジスタの作製方法は、基板上に、実質的にアモルファスの半導体被膜を形成する工程と、前記半導体被膜上および／または下に密着して、ニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体を選択的に形成する工程と、その後、前記半導体被膜を通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールする第1の熱処理工程と、前記半導体被膜に選択的にドーピング不純物を注入する工程と、その後、前記半導体被膜を通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールする第2の熱処理工程と、を有することを特徴とする。薄膜トランジスタの作製方法は、基板上に、実質的にアモルファスの半導体被膜を形成する工程と、前記半導体被膜上および／または下に密着して、ニッケル、鉄、コバルト、白金の少なくとも1つを含有する物体を選択的に形成する工程と、その後、前記半導体被膜を通常のアモルファスシリコンの結晶化温度よりも低い温度でアニールする工程と、前記半導体被膜に選択的にドーピング不純物を注入する工程と、不純物の注入された領域と実質的に同じ領域にレーザーもしくはそれと同等な強光を照射する工程と、を有することを特徴とする。

【0009】このように、本発明では島状半導体領域を

有しないので、ゲイト絶縁膜15およびゲイト絶縁膜17のステップカバレッジは何ら問題となることがない。そのため、従来の構造上の問題点は全て解決される。すなわち、断線による歩留りの低下はなく、かつ、特性の劣化もない。信頼性も向上させることができる。

【0010】本発明においては同一基板上の半導体膜の結晶性を選択的に制御することが必要である。本発明人の研究の結果、ニッケル(Ni)、鉄(Fe)、コバルト(Co)、白金(Pt)の単体、もしくはそれらの珪化物等の化合物がアモルファスシリコン等の半導体において、触媒として結晶化を促進させる作用を有することを見出した。このときの結晶化温度は従来の通常のアモルファスシリコンの結晶化温度(典型的には600℃)よりも20~200℃低い温度(常圧では400~580℃)であった。そのため、このような触媒材料が存在しない部分では結晶化が進行せず、実質的にアモルファス状態のままであった。結晶化した部分では大きなキャリア移動度を示したが、触媒物質のない部分(アモルファス状態の部分)では、抵抗が大きく、そのためTFT間の絶縁分離が可能であった。

【0011】本発明では、TFTのソース領域、ドレイン領域、チャネル形成領域等の高い電界効果移動度や低い抵抗の要求される領域に選択的に、ニッケル、鉄、コバルト、白金の少なくとも1つを含有する膜、粒子、クラスター等をアモルファスシリコン膜上もしくは下に密着して形成し、あるいは、これらの元素のイオンを高電圧で加速して、アモルファスシリコン膜中に注入し、これを通常のアモルファスシリコンの結晶化温度より低い適当な温度で結晶化させて用いる。結晶化温度は、通常のアモルファスシリコンの結晶化温度との差が大きいほど良好な結果が得られた。

【0012】なお、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、0.005原子%以上の濃度が存在しないと、顕著な結晶化作用は見られなかったが、逆に1原子%以上存在すると、半導体特性に甚大な影響を与えた。そのため、これらの触媒材料の濃度は合計して1原子%を越えないことが望まれる。また、ニッケルに関しては過剰なものは珪化ニッケルとして表面に析出するので、これをフッ酸もしくは塩酸によって溶解させることによって、被膜中の濃度を低下させることも可能である。また、同様に塩素原子を含む気体中で580℃以下の熱処理、もしくはプラズマ処理をおこなうことによってもニッケルの濃度を減じることができた。以下に実施例を示し、より詳細に本発明を説明する。

【0013】

【実施例】【実施例1】 図2に本実施例の作製工程の断面図を示す。本実施例を含めて、以下の実施例の図面では、TFTの断面図のみを示し、いずれも右側にはゲ

イト電極に垂直な面(図1、図4の断面B-B'に相当)を、また、左側にはゲイト電極に平行な面(図1、図4の断面A-A'に相当)を示す。

【0014】まず、基板(コーニング7059)20上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åのアモルファスシリコン膜22を堆積した。連続して、スパッタリング法によって、厚さ5~200Å、例えば20Åの珪化ニッケル膜(化学式 NiSi_x 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x=2.0$)を堆積し、フォトリソグラフィ法によって、バターニングし、領域23a、23bを形成した。(図2(A))

【0015】そして、これを還元雰囲気下、500℃で4時間アニールして結晶化させた。この結果、選択的に結晶化領域24a、24bが形成された。次に、スパッタリング法によって厚さ1000Åの酸化珪素膜25をゲイト絶縁膜として堆積した(図2(B))

【0016】引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的に起こることが望ましい。そして、シリコン膜をバターニングして、配線26a、26bを形成した。これらの配線は、いずれもゲイト電極として機能する。

【0017】次に、プラズマドーピング法によって、シリコン領域に配線26bをマスクとして不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH_3)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{15} \text{ cm}^{-2}$ とした。(図2(C))

【0018】その後、還元雰囲気中、500℃で4時間アニールすることによって、不純物を活性化させた。このとき、先に結晶化された領域24a、24bにはニッケルが拡散しているため、このアニールによって再結晶化が容易に進行し、不純物領域27a、27bを形成した。一方、先に結晶化しなかった領域にはニッケルが存在しないため、この温度では結晶化が進行せず、ドーピング不純物(燐)が存在しても極めて大きな抵抗を示した。(図2(D))

【0019】続いて、厚さ6000Åの酸化珪素膜28を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線29a、29bを形成した。配線29aは配線26aとTFTの不純物領域の一方27aを接続する。以上の工程によって半導体回路が完成した。(図2(E))

【0020】【実施例2】 図3に本実施例の作製工程の断面図を示す。基板(コーニング7059)30上にスパッタリングによって厚さ2000Åの酸化珪素の下

地膜31を形成した。さらに、電子ビーム蒸着法によって、厚さ5~200Å、例えば10Åのニッケル膜を堆積し、フォトリソグラフィ法によって、バターニングし、領域32a、32bを形成した。その後、プラズマCVD法によって、厚さ500~1500Å、例えば500Åのアモルファスシリコン膜を堆積した。(図3(A))

【0021】そして、これを還元雰囲気下、480℃で8時間アニールして結晶化させた。この結晶化工程によって、結晶化領域34a、34bを結晶化させることができた。一方、ニッケルの存在しなかった領域はこの温度では結晶化せず、アモルファス領域35として、両結晶化領域34a、34bを分離した。その後、この被膜を5~30%塩酸で処理することによって、表面に析出した珪化ニッケルを除去した。そしてスパッタリング法によって厚さ1000Åの酸化珪素膜36をゲイト絶縁膜として堆積した。(図3(B))

【0022】引き続いて、スパッタリング法によって、厚さ6000~8000Å、例えば6000Åのアルミニウム膜(2%のシリコンを含む)を堆積した。なお、この酸化珪素36とアルミニウム膜の成膜工程は連続的に起こることが望ましい。そして、アルミニウム膜をバターニングして、配線37a、37bを形成した。これらの配線は、いずれもゲイト電極として機能する。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層38a、38bを形成した。陽極酸化の前に感光性ポリイミド(フォトニス)によって後でコンタクトを形成する部分にポリイミドマスクを選択的に形成した。陽極酸化の際には、このマスクのために、この部分には陽極酸化物が形成されなかった。

【0023】陽極酸化は、酒石酸の1~5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。次に、公知のフォトリソグラフィ法によって、フォトニスを用いてポリイミドのマスク39を形成した。そしてこのマスクを用いて、プラズマドーピング法によって、シリコン領域に選択的に不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH_3)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域40a、40bを形成した。(図3(C))

【0024】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、200~350mJ/cm²、例

9

例えば $250\text{mJ}/\text{cm}^2$ とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を $200\sim 450^\circ\text{C}$ 程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。なお、レーザー照射時にはポリイミドのマスキング39を残しておいた。これは露出したアルミニウムがレーザー照射によってダメージを受けるからである。さらにレーザー照射によって、結晶化してはならない領域（例えば、TFT間の領域35）が結晶化することを避ける必要があるからである。レーザー照射後、このポリイミドのマスキング39は酸素プラズマ中にさらすことによって簡単に除去できる。この結果、不純物領域41a、41bが形成された。

（図3（D））

【0025】続いて、厚さ 2000\AA の酸化珪素膜42を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線43a、43bを形成した。配線43aは配線37aとTFTの不純物領域の一方41aを接続する。以上の工程によって半導体回路が完成した。（図3（E））

【0026】以上の工程によって半導体回路が完成した。作製されたTFTの特性は従来のものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレイン電圧 15V で 1MHz 、 17V で 16MHz の動作を確認できた。一方、歩留りは、従来が20%以下であったものが、80%以上にまで向上した。

【0027】

【発明の効果】本発明によれば、基板上に結晶性を有す

10

る半導体領域と結晶性を有しない半導体領域とを設けたため、薄膜トランジスタの歩留りを向上させ、また、その信頼性を高めることが可能となった。本発明ではNチャネル型の薄膜トランジスタを例にとりて説明したが、Pチャネル型薄膜トランジスタや同一基板上にNチャネル型とPチャネル型の混在した相捕型の回路の場合も同様に実施できることは言うまでもない。このように本発明は工業上有益な発明である。本発明によれば、アモルファス半導体被膜にニッケル、鉄、コバルト、白金の少なくとも一つを密着するようにしてアニール処理したため、通常のアモルファス半導体より低い温度で結晶化を達成することができた。本発明によれば、従来の固相成長による結晶化と異なり、結晶化を促進する元素がアモルファスシリコンと反応して珪化物をつくりつつ拡散することにより、低温での結晶化が可能になった。

【図面の簡単な説明】

【図1】 本発明のTFTの構成例を示す。

【図2】 実施例1の作製工程断面図を示す。

【図3】 実施例2の作製工程断面図を示す。

【図4】 従来のTFTの構成例を示す。

【符号の説明】

11・・・基板

12・・・チャネル形成領域（実質的に真性）

13・・・不純物領域（ソース、ドレイン）

14・・・実質的にアモルファスな領域

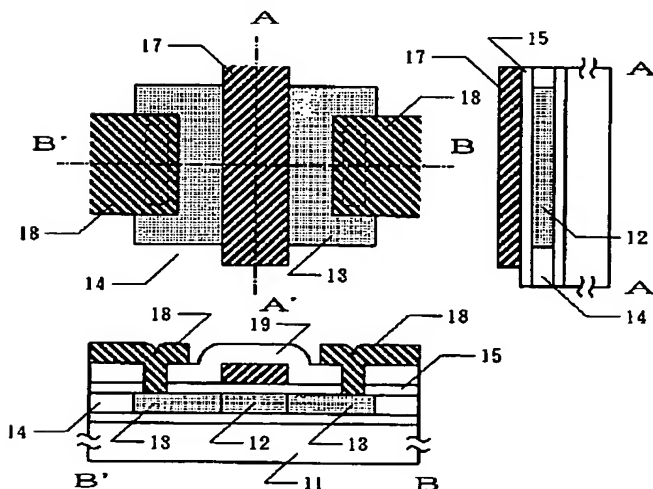
15・・・ゲート絶縁膜

17・・・ゲート電極

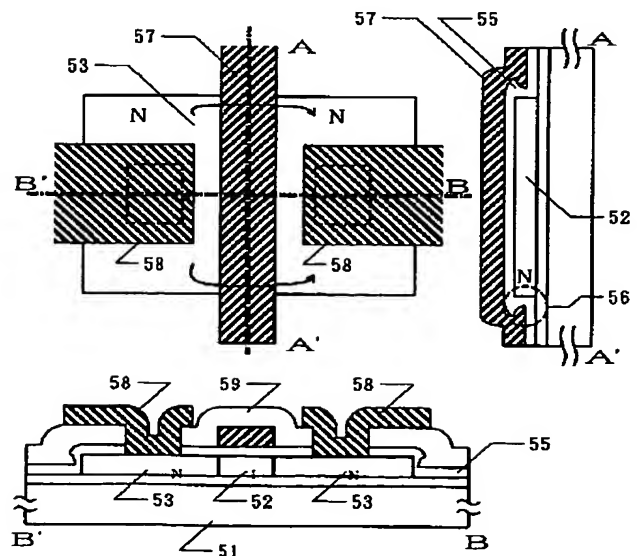
18・・・ソース、ドレイン電極

19・・・層間絶縁物

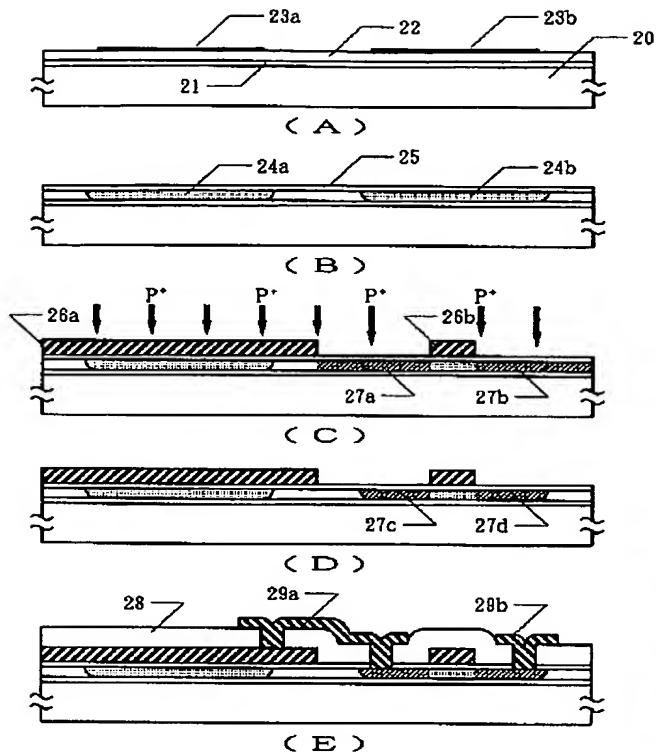
【図1】



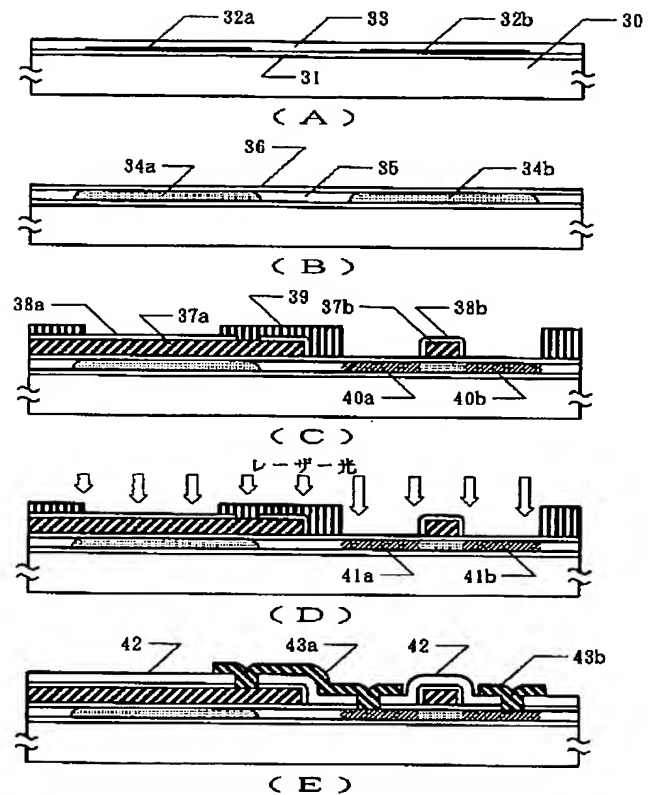
【図4】



【図2】



【図3】



フロントページの続き

(56) 参考文献 特開 昭59-195871 (J P, A)
 特開 昭62-216271 (J P, A)
 特開 平2-140915 (J P, A)
 特開 平1-276726 (J P, A)
 特開 平1-183854 (J P, A)
 特開 平3-34461 (J P, A)
 特開 平3-201538 (J P, A)
 特開 平2-222546 (J P, A)

(58) 調査した分野(Int. Cl.⁷, DB名)

H01L 29/786
 H01L 21/20
 H01L 21/265
 H01L 21/336
 H01L 21/762